

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04980749 **Image available**
SEMICONDUCTOR INTEGRATED CIRCUIT

PUB. NO.: 07-273349 [JP 7273349 A]
PUBLISHED: October 20, 1995 (19951020)
INVENTOR(s): KOYAMA JUN
 TAKEMURA YASUHIKO
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese
Company
 or Corporation), JP (Japan)
APPL. NO.: 07-043407 [JP 9543407]
FILED: February 07, 1995 (19950207)
INTL CLASS: [6] H01L-029/786; H01L-021/8238; H01L-027/092; H01L-027/08
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM); R004 (PLASMA); R011
 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass
 Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
 Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion
 Implantation)

ABSTRACT

PURPOSE: To make an absolute value of a threshold voltage of a P-channel type TFT relatively equal by making a width of a gate electrode of a P-channel type thin film transistor smaller by a specified amount than a width of a gate electrode of an N-type transistor.

CONSTITUTION: In the same substrate, an off-set width is the same in all the TFTs, a channel length is decided just as a gate electrode width is decided and absolute values of threshold voltage differ in N, P channel length. Therefore, an absolute value of threshold voltage can be made approximately equal by changing a channel length, that is, a width of a gate electrode. Gate electrodes 1, 2 of P, N channel type TFTs, a source electrode 3 of a P-channel type TFT, a drain wiring 4 and a source electrode 5 of an N-channel type TFT are formed. An absolute value of a threshold voltage can be made approximately equal by reducing a width (a) of the gate electrode 1 of the P-channel type TFT by 20% of a width (b) of the gate electrode 2 of the N-channel type TFT.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-273349

(43) 公開日 平成7年(1995)10月20日

(51) Int. Cl. ⁶

識別記号

F I

H01L 29/786

21/8238

27/092

9056-4M

H01L 29/78

311

C

27/08

321

C

審査請求 未請求 請求項の数 6 F D (全7頁) 最終頁に続く

(21) 出願番号 特願平7-43407

(22) 出願日 平成7年(1995)2月7日

(31) 優先権主張番号 特願平6-36615

(32) 優先日 平6(1994)2月8日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半

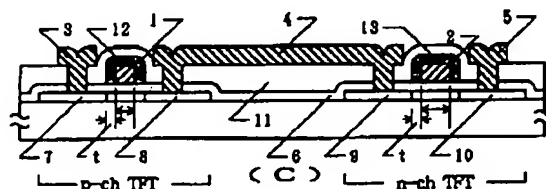
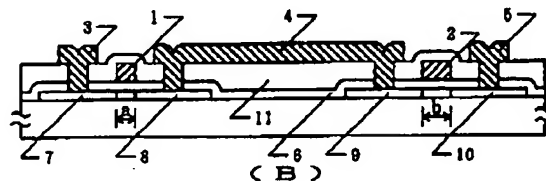
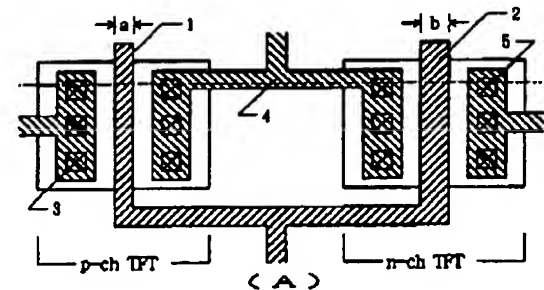
導体エネルギー研究所内

(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【目的】 pチャネル型 (p-ch) およびnチャネル型 (n-ch) の薄膜トランジスタ (TFT) を有する相補型の回路において、p-ch TFTとn-ch TFTのしきい値電圧の絶対値を概略等しくさせる方法を提供する。

【構成】 p-ch TFTのチャネル長もしくはゲイト電極の幅をn-ch TFTのものに比較して20%以上短くすることによって、好ましくは、前者を後者の25~80%とすることによって、p-ch TFTのしきい値電圧の絶対値を低下せしめ、よって、p-ch TFTのしきい値電圧をn-ch TFTのものと概略等しくさせる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 絶縁表面上に形成されたNチャネル型およびPチャネル型の薄膜トランジスタを有する集積回路において、

該Pチャネル型薄膜トランジスタのゲート電極の幅が、該Nチャネル型薄膜トランジスタのゲート電極の幅よりも、少なくとも20%小さいことを特徴とする半導体集積回路。

【請求項2】 絶縁表面上に形成されたNチャネル型およびPチャネル型の薄膜トランジスタにおいて、

該Nチャネル型薄膜トランジスタとPチャネル型薄膜トランジスタのゲート電極が電気的に結合しており、該Pチャネル型薄膜トランジスタのゲート電極の幅が、該Nチャネル型薄膜トランジスタのゲート電極の幅よりも、少なくとも20%小さいことを特徴とする半導体集積回路。

【請求項3】 アルミニウムを主成分とするゲート電極を有する薄膜トランジスタを有する回路において、Pチャネル型薄膜トランジスタとNチャネル型薄膜トランジスタのしきい値電圧を概略等しくするため、Pチャネル型薄膜トランジスタのゲート電極の幅がNチャネル型薄膜トランジスタのゲート電極の幅に比べて小さくしたことを特徴とする半導体集積回路。

【請求項4】 Pチャネル型薄膜トランジスタのゲート電極の幅が、Nチャネル型薄膜トランジスタのゲート電極の幅の25~80%である、請求項1乃至3の半導体集積回路。

【請求項5】 薄膜トランジスタのチャネルが単結晶でない結晶性珪素薄膜によって構成されている、請求項1乃至3の半導体集積回路。

【請求項6】 薄膜トランジスタのチャネルに含まれるN型もしくはP型不純物濃度が、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下である、請求項1乃至3の半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ガラス等の絶縁材料、あるいは珪素ウェハー上に酸化珪素等の絶縁被膜を形成した材料等の絶縁表面上に形成される絶縁ゲート型トランジスタ（薄膜トランジスタ、TFT）を有する集積回路に関する。特に、Nチャネル型TFTとPチャネル型TFTを有する相補型の集積回路に関する。

【0002】

【従来の技術】 従来より、アクティブマトリクス型の液晶表示装置やイメージセンサー等の駆動の目的で、TFT（薄膜トランジスタ）を用いた相補型回路が使用されている。しかしながら、TFTでは一般にしきい値電圧の絶対値が、単結晶半導体を用いたMOSトランジスタよりも大きく、また、Nチャネル型TFTとPチャネル型TFTでは大きく異なっていた。例えば、Nチャネル型TFTでは2V、PチャネルTFTでは-4Vという

ぐあいである。

【0003】

【発明が解決しようとする課題】 このようにNチャネル型TFTとPチャネル型TFTのしきい値電圧の絶対値が大きく異なることは相補型回路の動作の上では好ましいものではなかった。特に駆動電圧の低電圧化には大きな障害となった。例えば、このようなTFTを用いて相補型インバータを構成したとしても、駆動電圧が低い状態では、一般にしきい値電圧の絶対値の大きなPチャネル型TFTは十分な動作ができず、実質的には単なる抵抗と同じような受動的な負荷として機能するのみで、十分な高速動作ができなかった。そして、Pチャネル型TFTを能動的な負荷として機能させるには駆動電圧を十分に高くすることが要求された。

【0004】 また、特に、ゲート電極を仕事関数 ϕ_g が5eV以下の材料、例えばアルミニウム（ $\phi_g = 4.1 \text{ eV}$ ）で構成すると、ゲート電極と真性シリコン半導体との仕事関数差 ϕ_{gs} が-0.6eVになってしまい、結果としてPチャネル型TFTはよりしきい値電圧が負の方向にシフトしがちで、Nチャネル型TFTでも、しきい値電圧が0V近辺となった。そのため、Nチャネル型TFTにおいては、ノーマリーオン（ゲート電圧が0でもソース/ドレイン間に電流が流れる）となりやすくなった。

【0005】 このような現実から、Nチャネル型TFTとPチャネル型TFTのしきい値電圧の絶対値を概略等しくすることが求められていた。従来の単結晶半導体集積回路技術においては、極めて微量（典型的には $1 \times 10^{14} \text{ cm}^{-3}$ 以下）のN型やP型の不純物をドーピングすることにより、しきい値を制御することが知られていた。すなわち、 $1 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-3}$ の不純物のドーピングにより、しきい値は連続的に変動し、0.1V以下の精度でしきい値を制御することが可能であった。

【0006】 しかしながら、特に結晶性の非単結晶珪素（例えば、多結晶珪素）を用いたTFTにおいては、 $1 \times 10^{14} \text{ cm}^{-3}$ 以下の濃度のドーピングによるしきい値の変動はほとんど観察されず、また、 $1 \times 10^{14} \text{ cm}^{-3}$ 以上の濃度をドーピングをおこなうと、急激にしきい値が変動してN型もしくはP型となってしまう、TFTのチャネルとして使用することは不可能であった。

【0007】 これは、結晶性の非単結晶珪素においては、多くの欠陥が存在し、その密度が $1 \times 10^{14} \text{ cm}^{-3}$ 程度あるため、ドーピングされた不純物がこれらの欠陥にトラップされて活性化できないためである。そして、不純物が欠陥の濃度を上回ると、これらの余剰の不純物が活性化して、N型もしくはP型となってしまう。本発明は、このような現状を顧みてなされたものであり、Nチャネル型TFTとPチャネルTFTのしきい値電圧の絶対値を概略等しくする方法を提供するものである。

【0008】

【課題を解決するための手段】本発明においては、Pチャネル型TFTのチャネル長をNチャネル型TFTのものよりも小さく、好ましくは20%以上小さくすることによって、相対的にPチャネル型TFTのしきい値電圧の絶対値を低下させ、また、Nチャネル型TFTではノーマリーオンとならないようなしきい値電圧を保ちつつ、Pチャネル型TFTとNチャネル型TFTのしきい値電圧の絶対値を概略等しくするものである。

【0009】なお、本発明においては、チャネル長とはTFTのソースとドレインの間隔のことである。また、TFTの作製工程において、ソース／ドレインがゲイト電極をマスクとして自己整合的に作製される場合には、ゲイト電極の幅によってチャネル長も決定されるので、上記において、チャネル長をゲイト電極の幅と読み変えてもよい。ドーピングプロセスにおいては、不純物がゲイト電極の下部に回り込むこともあるが、同一基板においては、その回り込み量はほぼ一定であり、また、
(チャネル長) = (ゲイト電極幅) - (回り込み量)
という関係から、ゲイト電極幅が決定されると、チャネル長も決定される。ゲイト電極に陽極酸化等の処理を施す場合も同様である。

【0010】本発明人はTFTのしきい値電圧とチャネル長について検討を進めた結果、チャネル長が大きくなるにつれてしきい値電圧の絶対値が増加するという傾向を発見した。この例を図1に示す。図1(A)および(B)はそれぞれPチャネル型TFT(p-ch)およびNチャネル型TFT(n-ch)のしきい値電圧とチャネル長の関係を示す。この例では、Pチャネル型TFTおよびNチャネル型TFTのチャネルに用いられるシリコン半導体は、共に真性または実質的に真性の導電型を示し、燐、ホウ素等の不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下、炭素、酸素、または窒素も $1 \times 10^{18} \text{ cm}^{-3}$ 以下の高品質のものとした。

【0011】もちろん、しきい値電圧は、チャネル長が同じでもTFTの、活性層の膜質、膜厚、ゲイト絶縁膜の厚さやTFT構造の違い(例えば、低濃度ドレインやオフセットの有無)によって、異なるものであり、例えば、Pチャネル型TFTにおいても図1(A)の(a)～(c)に示すような変化がある。同様に、Nチャネル型TFTにおいても、図1(B)の(a)～(c)に示すような変化がある。ここで、図1(A)および(B)における(a)～(c)は同じ作製条件、構造のTFTのものを示す。すなわち、同じ基板上に同じ構造で同等な条件で形成したPチャネル型TFTのしきい値電圧特性を図1(A)の(a)に、Nチャネル型TFTのしきい値電圧特性を図1(B)の(a)に示す。

【0012】この特性を重ね合わせたものが図1(C)である。当然のことであるが、同じチャネル長ではNチャネル型TFTとPチャネル型TFTとではしきい値電

圧の絶対値は異なる。この例では、チャネル長が $6 \mu\text{m}$ ではPチャネル型TFTのしきい値は -3.2 V 、Nチャネル型TFTでは $+1.8 \text{ V}$ である。しかしながら、チャネル長を適当に設定すれば、しきい値電圧の絶対値を概略等しくすることが可能であることは明らかであろう。例えば、Nチャネル型TFTのチャネル長は $6 \mu\text{m}$ 、Pチャネル型TFTのチャネル長を $4 \mu\text{m}$ とした場合には、Nチャネル型TFTのしきい値は $+1.8 \text{ V}$ 、Pチャネル型TFTのしきい値は -2.2 V である。

【0013】逆にこの図を用いて、必要とされるしきい値電圧を得るためのチャネル長も産出される。例えば、しきい値電圧の絶対値を 2 V とするには、Nチャネル型TFTのチャネル長を $6 \sim 7 \mu\text{m}$ 、Pチャネル型TFTのチャネル長を $3 \sim 4 \mu\text{m}$ とすればよい。図2には、本発明に基づく相補型インバータの例を示す。図2(A)はインバータ回路を上から見た様子を示す。図において、左側がPチャネル型TFTであり、右側がNチャネル型TFTである。図において、1、2、3、4、5は、それぞれPチャネル型TFTのゲイト電極、Nチャネル型TFTのゲイト電極、Pチャネル型TFTのソース電極、ドレイン配線、Nチャネル型TFTのソース電極である。図からも分かるように、Pチャネル型TFTのゲイト電極1の幅a(すなわち、チャネル長に対応)はNチャネル型TFTのゲイト電極2の幅bよりも短くなっている。

【0014】このような回路の断面図を図2(B)に示す。図において、1～5は図2(A)に対応する。6、7、8、9、10、11は、それぞれ、ゲイト絶縁膜、Pチャネル型TFTのソース、Pチャネル型TFTのドレイン、Nチャネル型TFTのドレイン、Nチャネル型TFTのソース、層間絶縁物である。

【0015】図2(C)には別の例を示す。この例では、TFTのゲイト電極は、ソース／ドレインと重ならない、いわゆるオフセット状態となっている。TFTの構造が異なるので、チャネル長としきい値電圧の依存性も図1の(a)と同じであるとは限らず、他の条件のものとなる。この場合のオフセット幅は、ゲイト電極の周囲に形成された被膜12、13(例えば、陽極酸化物膜)の厚さと概略同じtである。このようなTFTにおいてはチャネル長は、必ずしもゲイト電極の幅とは同一ではない。

【0016】しかしながら、この場合においても、チャネル長としきい値電圧の関係においては図1において議論したことと同様な関係が成り立つ。なぜなら、同一基板においては、オフセット幅が全てのTFTにおいて同じであり、ゲイト電極幅が決定されるとチャネル長も同時に決定されるからである。したがって、チャネル長すなわちゲイト電極の幅をNチャネル型TFTとPチャネル型TFTとで変化させることによって、しきい値電圧の絶対値を概略等しくすることは図2(B)の場合と同

様に可能である。

【0017】本発明においては、効果的にしきい値を制御するには、Pチャネル型薄膜トランジスタのゲート電極の幅が、Nチャネル型薄膜トランジスタのゲート電極の幅の25～80%とすると効果的であった。また、結晶性の非単結晶珪素を用いたTFTにおいては、チャネル中のN型もしくはP型不純物（例えば、燐、硼素）の濃度は低いほど好ましく、 $1 \times 10^{11} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下とすると良い。

【0018】

【作用】かくすることにより、Nチャネル型TFTとPチャネル型TFTのしきい値電圧を概略等しくさせることができる。なお、一般にチャネル長を変えると、TFTのその他の特性、例えば、モビリティやオフ電流（ゲートに逆バイアスをかけたときのソース/ドレイン間のリーク電流）も変化するが、これらの値を適切な値とするためにはチャネル幅を調整すればよい。また、Pチャネル型TFTのチャネル長が小さくてもホットキャリアの発生による劣化、特に、しきい値電圧のシフト、移動度の低下は小さく、信頼性上も問題がない。また、逆にNチャネル型TFTはチャネル長をより長くすることにより、ドレインでのホットキャリアの発生を抑止できるため、信頼性向上の面からも本発明は有効である。

【0019】

【実施例】図3に本実施例を示す。まず、基板（コーニング7059、300mm×400mmもしくは100mm×100mm）21上に下地酸化膜22として厚さ1000～3000Åの酸化珪素膜を形成した。この酸化膜の形成方法としては、酸素雰囲気中でのスパッタ法を使用した。しかし、より量産性を高めるには、TEOSをプラズマCVD法で分解・堆積した膜を用いてもよい。

【0020】その後、プラズマCVD法やLPCVD法によって非晶質珪素膜を300～5000Å、好ましくは500～1000Å堆積した。非晶質珪素膜中の燐、硼素の濃度は $1 \times 10^{11} \text{ cm}^{-3}$ 以下、炭素、酸素、窒素の濃度は $5 \times 10^{11} \text{ cm}^{-3}$ 以下であった。このような非晶質珪素膜を、550～600℃の還元雰囲気中に4～8時間放置して、結晶化せしめた。この工程の後に、レーザー照射によっておこなって、さらに結晶化の度合いを高めてもよい。そして、このようにして結晶化させた珪素膜をパターニングして島状領域23、24を形成した。さらに、この上にスパッタ法によって厚さ700～1500Åの酸化珪素膜25を形成した。

【0021】その後、厚さ1000Å～3μmのアルミニウム（1wt%のSi、もしくは0.1～0.3wt%のSc（スカンジウム）を含む）膜を電子ビーム蒸着法もしくはスパッタ法によって形成した。そして、フォトリソ（例えば、東京応化製、OFPR800/30cp）をスピンコート法によって形成した。フォト

ジストの形成前に、陽極酸化法によって厚さ100～1000Åの酸化アルミニウム膜を表面に形成しておく、と、フォトリソとの密着性が良く、また、フォトリソからの電流のリークを抑制することにより、後の陽極酸化工程において、多孔質陽極酸化物を側面のみに形成するうえで有効であった。その後、フォトリソとアルミニウム膜をパターニングして、アルミニウム膜と一緒にエッチングし、ゲート電極26、27およびマスク膜28、29とした。この際、本実施例では、Nチャネル型TFTのゲート電極27の幅を7μm、Pチャネル型TFTのゲート電極26の幅を4μmとした。

（図3（A））

【0022】さらにこれに電解液中で電流を通じて陽極酸化し、厚さ3000～6000Å、例えば、厚さ5000Åの陽極酸化物107を形成した。陽極酸化は、3～20%のクエン酸もしくはショウ酸、燐酸、クロム酸、硫酸等の酸性水溶液を用いておこない、10～30Vの一定電流をゲート電極に印加すればよい。本実施例ではシュウ酸溶液（30℃）中で電圧を10Vとし、20～40分、陽極酸化した。陽極酸化物の厚さは陽極酸化時間によって制御した。この結果、ゲート電極26、27の幅はそれぞれ3μm、6μmとなった。（図3（B））

【0023】次に、マスクを除去し、再び電解溶液中において、ゲート電極に電流を印加した。今回は、3～10%の酒石液、硼酸、硝酸が含まれたエチレングリコール溶液を用いた。溶液の温度は10℃前後の室温より低い方が良好な酸化膜が得られた。このため、ゲート電極の上面および側面にバリヤ型の陽極酸化物32、33が形成された。陽極酸化物32、33の厚さは印加電圧に比例し、例えば、印加電圧が150Vでは2000Åの陽極酸化物が形成された。陽極酸化物32、33の厚さは必要とされるオフセットの大きさによって決定したが、3000Å以上の厚さの陽極酸化物を得るには250V以上の高電圧が必要であり、TFTの特性に悪影響を及ぼすので3000Å以下の厚さとすることが好ましい。本実施例では80～150Vまで上昇させ、必要とする陽極酸化膜32、33の厚さによって電圧を選択した。

【0024】注目すべきは、バリヤ型の陽極酸化が後の工程であるにもかかわらず、多孔質の陽極酸化物の外側にバリヤ型の陽極酸化物ができるのではなく、バリヤ型の陽極酸化物32、33は多孔質陽極酸化物30、31とゲート電極26、27の間に形成されることである。

【0025】そして、ドライエッチング法（もしくはウェットエッチング法）によって絶縁膜25をエッチングした。このエッチング深さは任意であり、下に存在する活性層が露出するまでエッチングをおこなっても、その途中でとめてもよい。しかし、量産性・歩留り・均一性の観点からは、活性層に至るまでエッチングすることが

望ましい。この際には陽極酸化物30、31、およびゲイト電極26、27に覆われた領域の下側の絶縁膜(ゲイト絶縁膜)にはもとの厚さの絶縁膜34、35が残される。(図3(C))

【0026】その後、陽極酸化物30、31を除去した。エッチャントとしては、燐酸系の溶液、例えば、燐酸、酢酸、硝酸の混酸等が好ましい。この際、燐酸系のエッチャントにおいては、多孔質陽極酸化物のエッチングレートはバリア型陽極酸化物のエッチングレートの10倍以上である。したがって、バリア型の陽極酸化物32、33は、燐酸系のエッチャントでは実質的にエッチングされないので、内側のゲイト電極を守ることができた。

【0027】この構造で加速したN型もしくはP型の不純物のイオンを活性層に注入することによって、ソース/ドレインを形成した。まず、図の左側のTFT領域をマスク36によって覆った状態で、イオンドーピング法によって、比較的低速(典型的には、加速電圧は5~30kV)の燐イオンを照射した。本実施例では加速電圧は20kVとした。ドーピングガスとしてはフォスフィン(PH₃)を用いた。ドーズ量は $5 \times 10^{11} \sim 5 \times 10^{14} \text{ cm}^{-2}$ とした。この工程では、燐イオンは絶縁膜35を透過できないので、活性層のうち、表面の露出された領域にのみ注入され、Nチャネル型TFTのドレイン37、ソース38が形成された。(図3(D))

【0028】次に、同じくイオンドーピング法によって、比較的高速(典型的には、加速電圧は60~120kV)の燐イオンを照射した。本実施例では加速電圧は90kVとした。ドーズ量は $1 \times 10^{12} \sim 5 \times 10^{14} \text{ cm}^{-2}$ とした。この工程では、燐イオンは絶縁膜35を透過して、その下の領域にも到達するが、ドーズ量が少ないので、低濃度のN型領域39、40が形成された。

(図3(E))

【0029】燐のドーピングが終了したのち、マスク36を除去し、今度は、Nチャネル型TFTをマスクして、同様に、Pチャネル型TFTにもソース41、ドレイン42、低濃度のP型領域43、44を形成した。そして、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を照射して、活性層中に導入された不純物イオンの活性化をおこなった。

【0030】最後に、全面に層間絶縁物45として、CVD法によって酸化珪素膜を厚さ3000~6000Å形成した。そして、TFTのソース/ドレインにコンタクトホールを形成し、アルミニウム配線・電極46、47、48を形成した。さらに200~400℃で水素アニールをおこなった。以上によって、TFTを用いた相補型インバータ回路が完成した。(図3(F))かかるインバータ回路を多段に接続したリングオシレータ、シフトレジスタを用いる場合にその動作点を中心電圧とする意味でしきい値電圧のあわせ込みは極めて重要なもの

である。また、アナログ型の駆動が要求されるスイッチ素子(例えば、アクティブマトリクス型液晶表示装置の画素に設けられたトランジスタ)や相補型のトランスファergeイトにおいても有効であった。

【0031】

【発明の効果】本発明によってNチャネル型TFTとPチャネル型TFTのしきい値の絶対値を概略等しくすることができた。これにより、相補型の回路の動作の効率を高めるとともに、駆動電圧の低電圧化が可能となった。本発明は最も簡単にはゲイト電極の幅を変えることにより容易に達成できる。ゲイト電極の幅の最適値は、TFTの構造、作製条件等によって決定されるものであり、実施例において示した値にとらわれる必要のないことは自明である。また、実施例においては示さなかったが、例えば、Pチャネル型TFTを通常の構造のTFT(図2(B)のような構造)、Nチャネル型TFTをゲイト電極がソース/ドレインとオフセット状態であるTFT(図2(C)のような構造)とすることも可能である。

【0032】なお、本発明は酸化珪素に接して結晶化したシリコン半導体をチャネルとして用いるTFTにおいて特に有効である。なぜならば、酸化珪素膜と接したアモルファス状態のシリコン膜を熱アニールやレーザー照射等の手段で結晶化させた場合には、界面の整合性から<111>面に配向する性質がある。

【0033】<111>面は、他の面、例えば、<100>面や<311>面に比べて、酸化珪素との界面準位密度 Q_{it} が2倍程度大きく、したがって、これでTFTを作製した場合にはしきい値電圧が負の方向にシフトする傾向が強まる。すなわち、Nチャネル型TFTのしきい値電圧は0V近辺のノーマリーオンの状態となり、Pチャネル型TFTのしきい値電圧は、負の大きな値となる。このような状況は相補型の回路を設計する場合には極めて問題が大きいことは先に指摘した通りである。本発明はこのような状況を解決して、Nチャネル型TFT、Pチャネル型TFTのしきい値電圧のバランスをとることを目的としたもので、本発明が有効であることは以上の説明から明らかであろう。このように本発明は極めて重要なものであると信ずる。

【図面の簡単な説明】

【図1】 TFTのしきい値電圧のチャネル長依存性を示す。

【図2】 本発明によるTFT回路(相補型インバータ)の例を示す。

【図3】 実施例によるTFT回路の作製方法を示す。

【符号の説明】

- | | |
|---|--------------------|
| 1 | Pチャネル型TFTのゲイト電極 |
| 2 | Nチャネル型TFTのゲイト電極 |
| 3 | Pチャネル型TFTのソース電極・配線 |
| 4 | ドレイン電極・配線 |

9

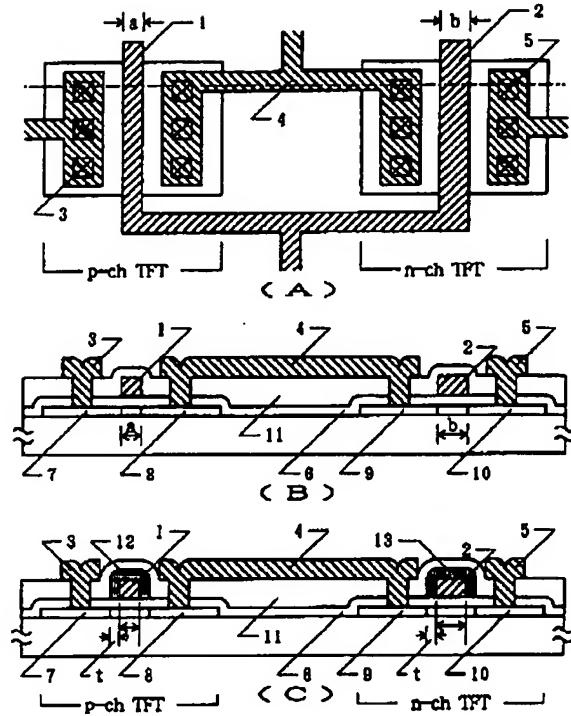
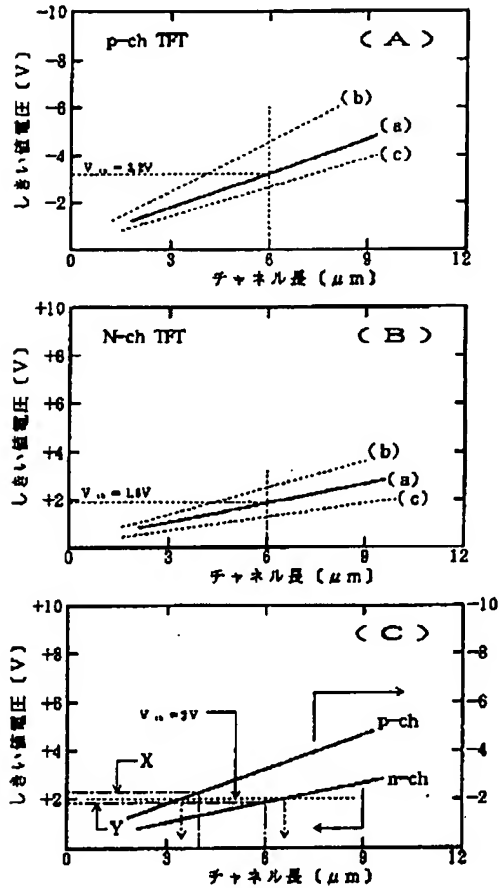
10

- 5 Nチャネル型TFTのソース電極・配線
 6 ゲイト絶縁膜
 7 Pチャネル型TFTのソース
 8 Pチャネル型TFTのドレイン

- 9 Nチャネル型TFTのソース
 10 Nチャネル型TFTのドレイン
 11 層間絶縁物
 12、13 陽極酸化物

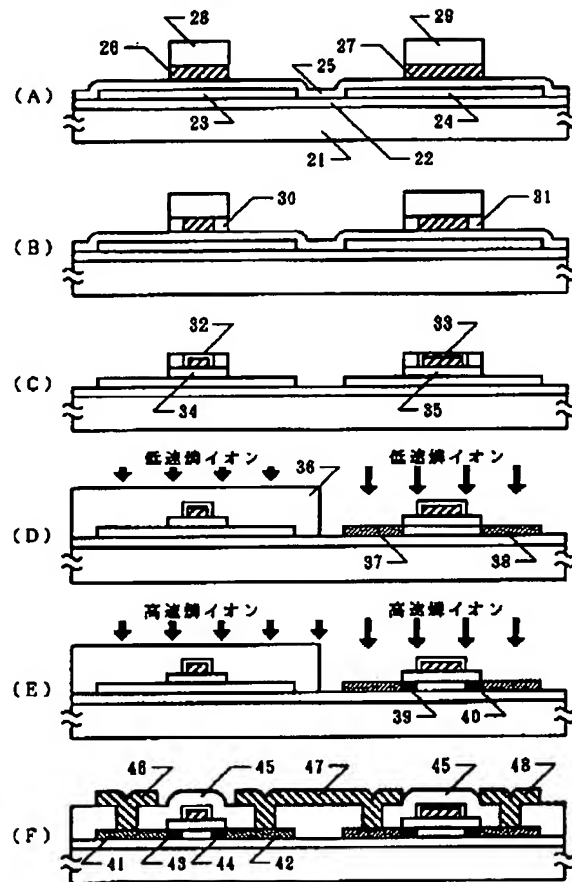
【図1】

【図2】



BEST AVAILABLE COPY

【図 3】



フロントページの続き

(51) Int. Cl.⁴
H 0 1 L 27/08

識別記号 庁内整理番号
3 3 1 E

F I

技術表示箇所

H 0 1 L 27/08

3 2 1 D

BEST AVAILABLE COPY